

SOI 技術を用いた ILC 実験用シリコンピクセル検出器 : SOFIST の開発

外川 学

最先端計測器開発プロジェクト

SOI (Silicon On Insulator) 技術は、高抵抗シリコン基板上に絶縁層 (SiO_2) を挟んで産業レベルの CMOS 回路を形成する技術である。この技術により従来別々のセンサー部と信号処理部を一体化でき、小型化、高精度化する事が可能となる。高エネルギー加速器研究機構の測定器開発室を中心に、様々な分野での SOI シリコン検出器の開発が進められている。

我々は、次世代電子-陽電子衝突型実験、ILC (International Linear Collider) 実験の崩壊点検出器としての使用を目的とした、SOI 技術を用いたシリコンピクセル検出器の開発を行っている。本検出器は $20 \mu\text{m}$ 角のピクセル検出器で、SOI 構造により各ピクセルにプリアンプ、アナログバッファを実装する。信号は同じくシリコン基板上に半導体プロセスで製作する ADC を通してデジタル情報として読み出し、電荷重心をとる事で要求の $3 \mu\text{m}$ 以下の位置分解能を得る。更に電子-陽電子衝突のバンチ情報を記録するため、時間情報もピクセル上に保存する様に拡張する事を考えており、位置、時間を保持する事から SOFIST (SOI sensor for FIne measurements of Space and Time) と呼ばれる。

現在、試作機としてアナログ部のみを実装した 50×50 ピクセルの検出器 (SOFIST v.1) の設計、製造を行い、テストパルスや、 ^{90}Sr 線源からの電子貫通事象を用いて性能評価を行っている。また、本年度は位置分解能の調査を、2017年1月20日から2月8日にかけてフェルミ国立研究所の 120 GeV 陽子ビームを用いて行なった。

本発表では SOFIST の紹介とテスト実験の結果について発表する。

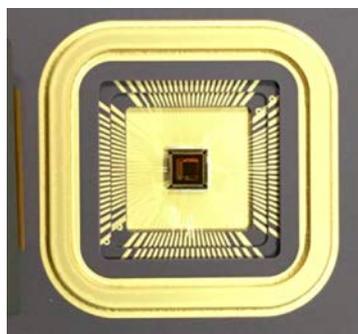


図 1. SOFIST v.1 プロトタイプ 2.9 mm 角のチップ上、 1 mm 角の中に $20 \mu\text{m}$ 角のピクセルが 50×50 並ぶ。

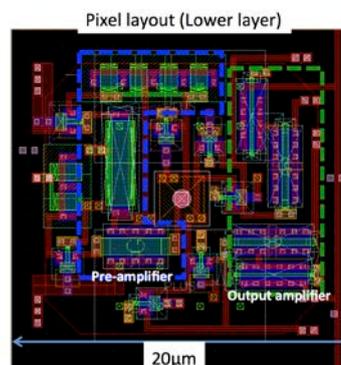


図 2. SOFIST v.1 ピクセル上に実装された CMOS 回路。主にプリアンプ、アナログバッファを実装。